

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-350731

(43)Date of publication of application : 04.12.1992

(51)Int.Cl.

G06F 11/26

G06F 9/06

G06F 12/02

(21)Application number : 03-123901

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.05.1991

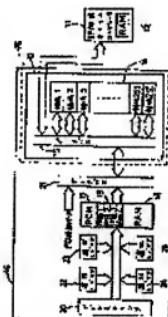
(72)Inventor : ARAI NOBUHIRO

## (54) DEVELOPMENT BACKUP SYSTEM

### (57)Abstract:

**PURPOSE:** To improve the evaluation speed and efficiently develop a program without holding data in select registers at each time of access by accessing all areas of a memory by plural sets of data of an address counter.

**CONSTITUTION:** Address data of an address counter 20 which does not access a second memory 18 provided in a host computer 16 is divided into plural sets and a first memory 14 on a development backup board 13 is divided into plural sets of areas so that all areas of the first memory 14 can be accessed by plural sets of address data of the address counter 20. The area of the first memory 14 to be accessed by a prescribed set of address data of the address counter 20 is determined in accordance with select data in select registers 22 to 25 corresponding to respective sets of address data. Consequently, select data are not held at each time of access and respective sets of address data are successively only read out after held contents of select registers 22 to 25 are determined once.



(51) Int.Cl.<sup>5</sup>G 0 6 F 11/26  
9/06  
12/02識別記号 3 1 0 9072-5B  
4 4 0 U 8944-5B  
5 8 0 8841-5B

F I

技術表示箇所

## 審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平3-123901

(71)出願人 000001889

三洋電機株式会社  
大阪府守口市京阪本通2丁目18番地

(22)出願日 平成3年(1991)5月28日

(72)発明者 荒井 信宏  
守口市京阪本通2丁目18番地 三洋電機株

式会社内

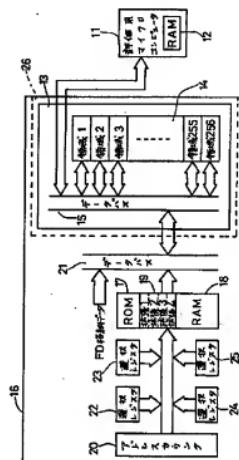
(74)代理人 弁理士 西野 卓嗣

## (54)【発明の名称】開発支援システム

## (57)【要約】 (修正有)

【構成】 評価用マイクロコンピュータ(11)を制御するための開発支援ボード(13)上に設けられたRAM(14)を複数組に分割し拡張メモリ空間(19)に割り付けられた複数組のアドレスデータでRAM(14)の全領域をアクセスする。また、所定のアドレスデータの組がアクセスするRAM(14)の所定の領域は、選択レジスタ(22)(23)(24)(25)の選択データに応じて決定されプリセット動作を不要とする。

【効果】 選択レジスタ(22)(23)(24)(25)の保持内容を一旦決定てしまえば、評価用マイクロコンピュータ(11)のプログラム評価を行うためにRAM(14)の異なる領域を連続してアクセスする場合でも、選択レジスタ(22)(23)(24)(25)に選択データを前記アクセス毎に保持することなく、拡張メモリ空間(19)の各組の前記アドレスデータを順次読み出すだけによく、所要時間が短縮される。



## 【特許請求の範囲】

【請求項1】量産用マイクロコンピュータと略同一機能を有する評価用マイクロコンピュータと、前記評価用マイクロコンピュータの処理データの評価を行うためのデータ、所定動作期間における前記評価用マイクロコンピュータの各種データ等が記憶される第1のメモリを有する開発支援ボードと、前記第1のメモリを制御するためのプログラムが記憶された第2のメモリと、該第2のメモリをアクセスすると共に該第2のメモリのアドレス数より大なるアドレス数をカウント可能なアドレスカウンタと、前記第2のメモリの読み出しプログラムに基づいて前記第1のメモリの書き込み読み出し動作を制御する第1の機能と、前記第2のメモリの読み出しプログラムに基づいて前記評価用マイクロコンピュータを制御する第2の機能とを有し、前記開発支援ボードと直接接続されるホストコンピュータとにより成り、前記第2のメモリをアクセスすることのない前記アドレスカウンタのアドレスデータを複数組に分割すると共に前記第1のメモリを複数組の領域に分割し、前記アドレスカウンタの復数の各組のアドレスデータで、前記第1のメモリの全領域をアクセスできるようにしたことを特徴とする開発支援システム。

【請求項2】前記アドレスカウンタの所定のアドレスデータの組がアクセスすべき前記第1のメモリの所定の領域は、アドレスデータの各組毎に対応する選択レジ斯特リに保持された選択データによって決定されることを特徴とする請求項1記載の開発支援システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は開発支援システムに関し、特にマイクロコンピュータのプログラム開発の効率化を図るに好適な開発支援システムに関する。

## 【0002】

【從来の技術】一般に、量産用の1チップマイクロコンピュータは、それ自体の動作を制御するためのROMを内蔵しているが、このROMはマスクで作られることが多い。つまり、ROMに書き込まれたプログラムデータを書き換えることはできず、ROMにプログラムデータを書き込む際には誤ったプログラムデータを書き込まない様に十分な配慮が必要である。

【0003】そこで、ROMに正しいプログラムデータを書き込む様に、量産用の1チップマイクロコンピュータと略同一機能を有する評価用マイクロコンピュータが今日使用されており、この評価用マイクロコンピュータはそれ自体の動作を制御するためのプログラムメモリを外部に設けており、このプログラムメモリはROMとして動作するもののプログラムデータの書き込み読み出しが可能なプログラムRAMで構成されている。このプログラムRAMには、外部からユーザの希望するROMに記憶すべきプログラムデータが書き込まれ、評価用マ

イクロコンピュータはプログラムRAMから読み出されるプログラムデータに基づいて動作するのである。評価用マイクロコンピュータがプログラムRAMからのプログラムデータに基づいて動作して得られた処理データは、評価用マイクロコンピュータ内部のデータRAMに書き込まれる。そして、データRAMに書き込まれた処理データを外部に読み出して本来得られるべきデータと比較することにより、処理データの正誤を判断し、即ちプログラムデータの正誤を判断している。上記した評価動作を繰り返すことにより、量産用の1チップマイクロコンピュータ内部のROMにマスク処理すべき正しいプログラムデータを得ているのである。

【0004】ここで、評価用マイクロコンピュータを用いてプログラム評価を行うには、評価用マイクロコンピュータと、評価用マイクロコンピュータを量産用マイクロコンピュータと同一動作させるためのプログラムデータが記憶される領域、評価用マイクロコンピュータを評価動作(ブレーク、1ステップ動作等)させるためのコマンドデータが記憶される領域等を有する評価用RAM(プログラムRAMを含む)を設けた開発支援ボードと、評価用マイクロコンピュータ及び開発支援ボードを制御するホストコンピュータとより、開発支援システムを組まなければならない。尚、開発支援ボードは、ホストコンピュータのボード挿入口に挿入されてホストコンピュータと直接接続されるものとする。勿論、開発支援ボードはホストコンピュータの使用に応じて設計されている。

【0005】図2は、上記した開発支援システムの要部を示す図である。図2において、まず、ホストコンピュータ(1)内部について説明すると、ROM(2)にはホストコンピュータ(1)自体の動作を制御するためのプログラムデータが記憶され、RAM(3)には後述の開発支援ボードを制御するためのプログラムデータがフロッピーディスク等の外部記憶媒体(図示せず)から読み込まれる様になっており、また、拡張メモリ空間(4)はホストコンピュータ(1)に増設されるメモリのための予備空間であり、記憶素子を有してはいない。これらのROM(2)、RAM(3)及び拡張メモリ空間(4)は同一メモリ空間に割り付けられており、單一のアドレスカウンタ(5)によってアクセスされる。つまり、ROM(2)、RAM(3)及び拡張メモリ空間(4)には各々異なるアドレスデータが割り付けられることになる。尚、拡張メモリ空間(4)には、例えば64Kバイトのアドレス数が割り付けられているものとする。

【0006】また、ホストコンピュータ(1)には機能拡張のためのボード挿入用のスロット(6)が設けられており、このスロット(6)には、評価用マイクロコンピュータ(7)を制御するための開発支援ボード(8)が挿入され、即ち開発支援ボード(8)はホストコンピュータ(1)と直接接続される。開発支援ボード(8)には、評価用R

AM(9)が設けられており、評価用RAM(9)は例えば16Mバイトのアドレス数を有し、64Kバイトのアドレス数を有する256の領域に分割されている。評価用RAM(9)の個々の領域1～256には、評価用マイクロコンピュータ(7)を通常動作させたり評価動作せしめたりするためのプログラムデータ及びコマンドデータ等が書き込まれ、この評価用RAM(9)の全領域は拡張メモリ空間(4)に割り付けられた64K個のアドレスデータによってアクセスされる。ここで、評価用RAM(9)の各領域は64Kバイトから成ることから、単に拡張メモリ空間(4)に割り付けられた64K個のアドレスデータだけでは評価用RAM(9)の何れか1つの領域のみしかアクセスすることができない。そこで、拡張メモリ空間(4)に割り付けられた64K個のアドレスデータで評価用RAM(9)の全領域をアクセスできる様に、ホストコンピュータ(1)内部には評価用RAM(9)の任意の領域を選択するための選択レジスタ(10)が設けられている。この選択レジスタ(10)は8ビットで構成され、評価用RAM(9)の領域数と等しい256(=2<sup>8</sup>)種類の選択データが評価用RAM(9)の所定領域の選択命令に応じてプリセットされるものとする。つまり、評価用RAM(9)の256種類の領域は選択レジスタ(10)によりセレクトされた8ビットデータと拡張メモリ空間(4)の各アドレスデータとのシリアルデータによってアクセスされることになる。

【0007】以上の構成の開発支援システムによって、量産用マイクロコンピュータの内蔵ROMに書き込むべきプログラムデータの評価を行っていた。

#### 【0008】

【発明が解決しようとする課題】しかしながら、図2において、評価用マイクロコンピュータ(7)を評価動作させるのに、評価用RAM(9)の異なる領域に記憶されたデータを交互に読み出したり、評価用RAM(9)の異なる領域からデータを順次読み出したりする場合、評価用RAM(9)のアクセスされる領域を変更する度に、選択レジスタ(10)にプリセットされるデータをも変更しなければならない。従って、評価用マイクロコンピュータ(7)を評価動作させるには、評価用RAM(9)が256もの領域を持つことから、選択レジスタ(10)への8ビットデータのプリセット動作を頻繁に行わなければならなくななり、これよりプログラム評価速度が低下してプログラム開発効率の低下につながる問題点があった。

【0009】そこで、本発明は、評価用マイクロコンピュータを制御するための開発支援ボード上に設けられたメモリを拡張メモリ空間に割り付けられたアドレスデータでアクセスする際、特にメモリの異なる領域をアクセスする際、選択レジスタへのプリセット動作を不要とできる開発支援システムを提供することを目的とする。

#### 【0010】

【課題を解決するための手段】本発明は、前記問題点を

解決する為に成されたものであり、その特徴とすることは、量産用マイクロコンピュータと略同一機能を有する評価用マイクロコンピュータと、前記評価用マイクロコンピュータの処理データの評価を行うためのデータ、所定動作期間における前記評価用マイクロコンピュータの各種データ等が記憶される第1のメモリを有する開発支援ボードと、前記第1のメモリを制御するためのプログラムが記憶された第2のメモリと、該第2のメモリをアクセスすると共に該第2のメモリのアドレス数より大なるアドレス数をカウント可能なアドレスカウンタと、前記第2のメモリの読み出しプログラムに基づいて前記第1のメモリの書き込み読み出し動作を制御する第1の機能と、前記第2のメモリの読み出しプログラムに基づいて前記評価用マイクロコンピュータを制御する第2の機能とを有し、前記開発支援ボードと直接接続されるホストコンピュータとより成り、前記第2のメモリをアクセスすることのない前記アドレスカウンタのアドレスデータを複数組に分割すると共に前記第1のメモリを複数組の領域に分割し、前記アドレスカウンタの複数の各組のアドレスデータで、前記第1のメモリの全領域をアクセスできるようにした点である。

#### 【0011】

【作用】本発明は、ホストコンピュータに設けられた第2のメモリをアクセスすることのないアドレスカウンタのアドレスデータを複数組に分割すると共に、開発支援ボード上の第1のメモリを複数組の領域に分割し、アドレスカウンタの複数の各組のアドレスデータで第1のメモリの全領域をアクセスできる様にしたものである。また、アドレスカウンタの所定のアドレスデータの組がアクセスすべき第1のメモリの所定の領域は、アドレスデータの各組毎に対応する選択レジスタの選択データに応じて決定されるものである。従って、選択レジスタの保持内容を一旦決定してしまえば、第1のメモリの異なる領域を連続してアクセスする場合でも、選択レジスタに選択データを前記アクセス毎に保持することなく、各組の前記アドレスデータを順次読み出すだけでよいことになる。

#### 【0012】

【実施例】本発明の詳細を図面に從って具体的に説明する。図1は本発明の開発支援システムを示す図である。図1において、(11)は、量産用マイクロコンピュータと略同一機能を有する評価用マイクロコンピュータであり、それ自体の処理データを書き込んだり読み出したりするためのRAM(12)は内蔵されているものの、それ自体を動作させるためのプログラムデータを書き込んだRAMは外部に設けられる。

【0013】(13)は開発支援ボードであり、例えば4Mバイト(群しくは4096Kバイト)から成るRAM(14)と、データバス(15)とを有している。RAM(14)は、16Kバイトを単位とする256の領域より成り、各領域

には、評価用マイクロコンピュータ(11)を量産用マイクロコンピュータと同一動作させるためのプログラムデータが記憶されたり、評価用マイクロコンピュータ(11)を評価動作(ブレーク動作、1ステップ動作等)させるためのコマンドデータが記憶されたり、或は、評価用マイクロコンピュータ(11)の所定動作期間における内部各種データ(RAM(12)のアドレスデータ及び処理データ、プログラムカウンタ及びアキュムレータの内容等)がトレースデータとして記憶されたりする。例えば、領域1には前記プログラムデータが記憶されてROMとして動作し、領域2には前記コマンドデータが記憶され、更に領域3には前記トレースデータが記憶されるものとする。データバス(15)は、RAM(14)の各領域と接続されると共に評価用マイクロコンピュータ(11)と接続され、RAM(14)及び評価用マイクロコンピュータ(11)間におけるデータの授受を行う。更にデータバス(15)は後述のホストコンピュータ内部のデータバスとも接続される。

【0014】(16)は前述したホストコンピュータであり、該ホストコンピュータ(16)は、開発支援ボード(13)を直接接続するための接続口即ちスロット(26)を有しており、開発支援ボード(13)はスロット(26)内部に挿入され且つホストコンピュータ(16)と直接接続される。また、ホストコンピュータ(16)には、ROM(17)、RAM(18)及び拡張メモリ空間(19)が設けられており、これらは何一メモリ空間である。ROM(17)には、ホストコンピュータ(16)の動作を制御するためのプログラムデータが記憶されている。RAM(18)には、開発支援ボード(13)上のRAM(14)の各領域の書き込み読み出し動作を制御するためのプログラムデータが記憶されている。拡張メモリ空間(19)は、ホストコンピュータ(16)に外部接続されるメモリをアクセスするためのアドレスデータが割り付けられる空間であり、本実施例においては、拡張メモリ空間(19)は開発支援ボード(13)上のRAM(14)をアクセスするための空間(例えば64KB)である。この拡張メモリ空間(19)は、16KBを単位としたアドレスデータ数を有する拡張1～4の各組に分割される。前述した様に、ROM(17)、RAM(18)及び拡張メモリ空間(19)は同一メモリ空間である為、單一のアドレスカウンタ(20)によってアクセスされる。即ち、ROM(17)、RAM(18)及び拡張メモリ空間(19)の個々には、全く異なるアドレスデータが割り付けられることになる。前述したホストコンピュータ(16)のデータバス(21)は、ROM(17)、RAM(18)、拡張メモリ空間(19)から成る同一メモリ空間及び開発支援ボード(13)上のデータバス(15)と接続される。そして、開発支援ボード(13)上のRAM(14)の領域1には、ホストコンピュータ(16)のキーを操作することによって、FD(フロッピーディスク)等の外部記憶媒体に記憶されているプログラムデータがデータバス(21)(15)を介して書き込まれ、同様にして、領域2にはコマンドデータが書き込まれ、評価用マ

イクロコンピュータ(11)は領域1、2の読み出しデータに基づいて動作することになる。また、外部記憶媒体からRAM(18)に書き込まれたトレースデータ書き込み用のプログラムデータをホストコンピュータ(16)のキー操作によって実行すると、拡張1～4の何れかの組のアドレスデータによってRAM(14)の領域3がアクセスされ、この領域3には、前記トレースデータが書き込まれることになる。同様にして、RAM(18)に書き込まれたトレースデータ読み出し用のプログラムデータをホストコンピュータ(16)のキー操作によって実行すると、拡張1～4の何れかの組のアドレスデータによってRAM(14)の領域3がアクセスされ、この領域3からトレースデータが読み出されてデータバス(15)(21)を介してホストコンピュータ(16)側に取り込まれ、トレースデータの評価を行えることになる。

【0015】ここで、拡張メモリ空間(19)における拡張1～4の各組のアドレス数は16K個であり、RAM(14)の各領域1～256におけるアドレス数も16K個である。即ち、アドレスカウンタ(20)が単に拡張メモリ空間(19)を連続してアクセスするだけでは、拡張1～4の任意の1組のアドレスデータでアクセスできるRAM(14)の領域は任意の1組だけとなってしまう。そこで、拡張1～4には各自選択レジスタ(22)(23)(24)(25)が対応して設けられており、これらの選択レジスタ(22)(23)(24)(25)は各々8ビットで構成され、2<sup>56</sup>(=2<sup>16</sup>)種類の選択データがRAM(14)のアクセスすべきアドレスに応じてプリセットされる。例えば、アドレスカウンタ(20)で拡張1の空間をアクセスしてもRAM(14)の領域1～256の何れか1つの領域しかアクセスできないが、選択レジスタ(22)の8ビットデータとアドレスカウンタ(20)のアドレスデータとを合わせてシリアルのアドレスデータとすると、拡張1のみによってデータバス(21)(15)を介してRAM(14)の256の全領域をアクセスできることになる。拡張2～4に対応する選択レジスタ(23)(24)(25)についても同様に8ビットデータをプリセットすることにより、拡張2～3の各々によってRAM(14)の全領域をアクセスできることになる。

【0016】従って、評価用マイクロコンピュータ(11)を動作させるのに、例えば拡張1、2、3、4のアドレスデータで各々RAM(14)の異なる領域1、2、255、256を繰り返しアクセスする場合、選択レジスタ(22)(23)(24)(25)の各々にRAM(14)の領域1、2、255、256をアクセスするための8ビットデータをプリセットすればよい。すると、RAM(14)の異なる領域をアクセスする際に、選択レジスタ(22)(23)(24)(25)への8ビットの選択データのプリセット動作が不要となり、これより、評価用マイクロコンピュータ(11)の評価動作を迅速に行うことができ、プログラム開発の効率化を図ることができることになる。

【0017】尚、本実施例においては、拡張メモリ空間

7

8

(19)を4分割したが、これに限定されるものではなく、また、開発支援ボード(13)上のRAM(14)の各領域のアドレス数は拡張メモリ空間(19)の分割領域のアドレス数と等しいが、RAM(14)の分割領域数は256に限定されるものではない。更に、選択レジスタ(22)(23)(24)(25)のビット数はRAM(14)の領域数に応じて決定される。

## 【0018】

【発明の効果】本発明は、ホストコンピュータに設けられた第2のメモリをアクセスすることのないアドレスカウンタのアドレスデータを複数組に分割すると共に、開発支援ボード上の第1のメモリを複数組の領域に分割し、アドレスカウンタの複数の各組のアドレスデータで第1のメモリの全領域をアクセスできる様にしたものである。また、アドレスカウンタの所定のアドレスデータの組がアクセスすべき第1のメモリの所定の領域は、アドレスデータの各組毎に対応する選択レジスタの選択データに応じて決定されるものである。従って、選択レジ

スタの保持内容を一旦決定してしまえば、第1のメモリの異なる領域を連続してアクセスする場合でも、選択レジスタに選択データを前記アクセス毎に保持することなく、各組の前記アドレスデータを順次読み出すだけによりことになり、これより、評価用マイクロコンピュータの評価速度の向上が図れ、即ち、プログラム開発の効率化が図れる利点が得られる。

## 【図面の簡単な説明】

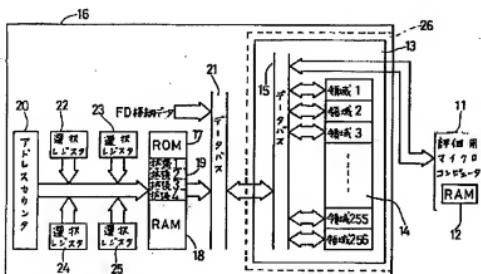
【図1】本発明の開発支援システムを示す図である。

【図2】従来の開発支援システムを示す図である。

## 【符号の説明】

- (11) 評価用マイクロコンピュータ
- (13) 開発支援ボード
- (14) (18) RAM
- (16) ホストコンピュータ
- (19) 拡張メモリ空間
- (20) アドレスカウンタ
- (22) (23) (24) (25) 選択レジスタ

【図1】



【図2】

